

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09181938 A**(43) Date of publication of application: **11.07.97**

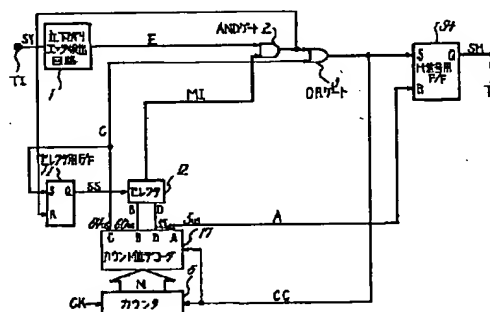
(51) Int. Cl.

H04N 5/12
H04N 5/10
(21) Application number: **07341522**(22) Date of filing: **27.12.95**(71) Applicant: **NEC CORP**(72) Inventor: **NIIJIMA SHINJI**
**(54) HORIZONTAL SYNCHRONIZING SIGNAL
GENERATING CIRCUIT**
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a horizontal synchronizing signal output by accurately extracting a horizontal synchronization input after a vertical synchronizing signal period regardless of an odd numbered field and an even numbered field.

SOLUTION: The generating circuit is provided with a selector 12 which selects either of output signals B, D of a count decoder 17 and provides an output of the selected signal as an input mask signal MI and a selector F/F 11 receiving a self-generating signal C and an output signal of an AND gate 2 to select the operation of the selector 12. Then an invalid period of an edge detection signal E is revised when a composite synchronizing signal SY is normally received and a horizontal synchronizing output signal SH is generated corresponding to a fault input.

COPYRIGHT: (C)1997,JPO



13

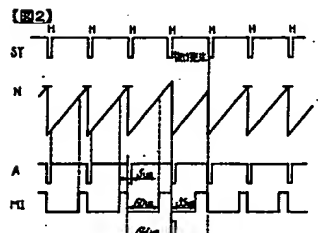
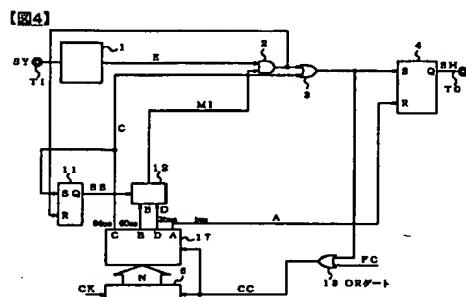
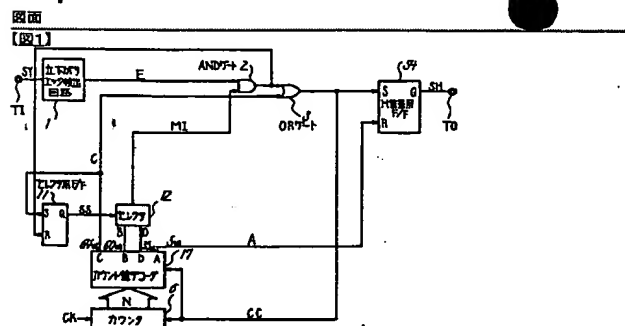
特許2838995.1x1

— 4 —

は無効となり対応の水平同期入力SHは出力されない。この入力無効期間は、等化/パルス
の次に入力する水平同期入力SHにはすでに終了しており、この時の入力信号等がなわら
水平同期入力は受け付けられることができない。その後の動作はまた従来例と同様に動作する。
100251次に図3(B)の偶数フレイルドの場合、水平同期入力SHと水平同期出力SHとの
中間から垂直同期期間が開始するため、自己生成による3回目の水平同期出力SHの後、
最初に入力する複合同期信号SYの立下がりエッジを抽出したことがついでに、そ
のまま水平同期入力SHを受け付けられはよい。このときは354sの入力無効期間はすでに終
了しており入力SHは無効にはしない。形態では、複合同期信号SYの垂直同期期間中の切り込
みパルスや水平同期入力SHが次落してしまつた場合でも、奇数/偶数フレイ
ルドにかかわらず正確に水平同期入力SHを検出して水平同期出力SHを発生することが可
能である。

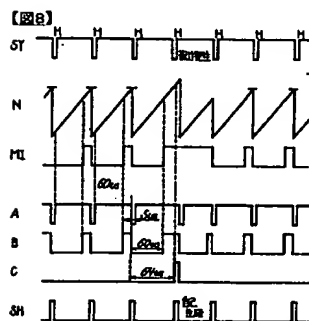
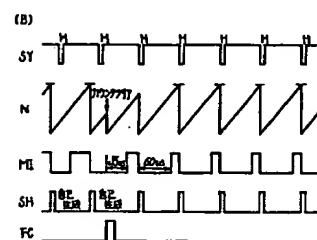
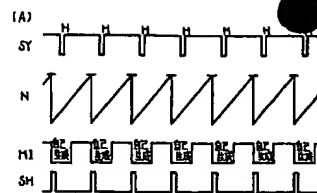
100271次に、本発明の第2の形態の図1と共通の構成要素については共通の参照文
字/数字を付して同様にフロウチャートを示す図4を参照すると、この実施の形態の参照文
字/数字の形態との相違点は、信号F、CとのORをとるORゲート2の出力カ
信100281第1の実施の形態では複合同期信号SYの立下がりエッジを抽出したところか、も
しくはカウント値デコーダ17が自己生成した条件下でカウント6を初期化で
きるようにしているが、本実施の形態では前述リブ信号F、Cがハイレベルになると他の状態に
よらずカウント6を初期化する。と、入力無効期間との関係をタイミチャートで示す図5を参
照してカウント6の生成した水平同期出力SHの出力後、354sの間、複合同期信号SYの
位相が変化し、そのためにカウント6の動作開始タイミングが水平同期入力SHの立下がりエ
ッジと重なり、常に自己生成による水平同期出力SHを発生してしまう可能性がある。水平同期
入力SHの位相が変化しないようにする。信号F、Cの入力タイミング図を図5(B)に示す。この
場合、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ
ウント6の初期化以外、動作は、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ
ウント6の初期化以外、動作は、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ
ウント6の初期化以外、動作は、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ

100311次に、本発明の第2の形態の図1と共通の構成要素については共通の参照文
字/数字を付して同様にフロウチャートを示す図4を参照すると、この実施の形態の参照文
字/数字の形態との相違点は、信号F、CとのORをとるORゲート2の出力カ
信100321第1の実施の形態では複合同期信号SYの立下がりエッジを抽出したところか、も
しくはカウント値デコーダ17が自己生成した条件下でカウント6を初期化で
きるようにしているが、本実施の形態では前述リブ信号F、Cがハイレベルになると他の状態に
よらずカウント6を初期化する。と、入力無効期間との関係をタイミチャートで示す図5を参
照してカウント6の生成した水平同期出力SHの出力後、354sの間、複合同期信号SYの
位相が変化し、そのためにカウント6の動作開始タイミングが水平同期入力SHの立下がりエ
ッジと重なり、常に自己生成による水平同期出力SHを発生してしまう可能性がある。水平同期
入力SHの位相が変化しないようにする。信号F、Cの入力タイミング図を図5(B)に示す。この
場合、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ
ウント6の初期化以外、動作は、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ
ウント6の初期化以外、動作は、本水平同期入力SHの動作開始時に発生する水平同期出力SHの位相が変化しない。このカ



<http://www.ipdl.jpo.go.jp/Tokujitu/tjitemcnt.ipdl>

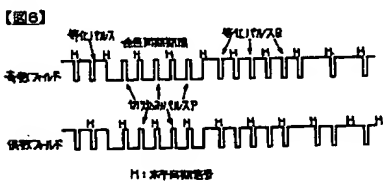
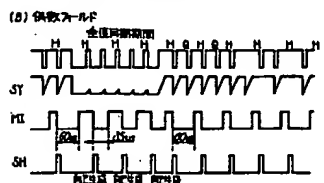
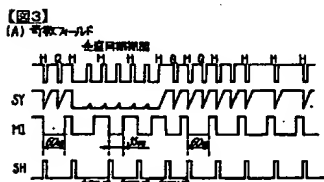
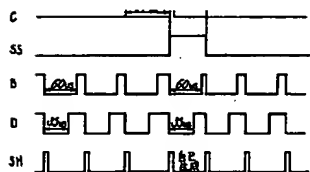
01/02/24



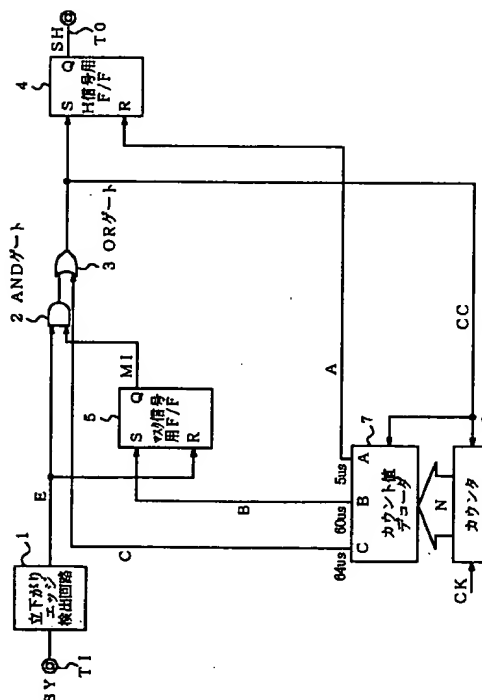
【圖7】

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitement.ipdl>

01/02/24



【圖5】



<http://www.ipdl.jpo.go.jp/Tokujitu/tjitement.ipdl>

01/02/24 --

<http://www.ipdl.jpo.go.jp/Tokujitu/tjitement.ipdl>

01/02/24